

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066919
Application Number PATENT-2002-0066919

출원년월일 : 2002년 10월 31일
Date of Application OCT 31, 2002

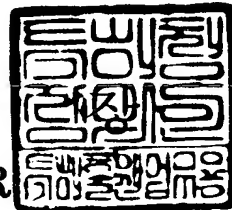
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2002 년 12 월 03 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0005
【제출일자】 2002.10.31
【발명의 명칭】 테스트 성능이 개선된 반도체 메모리 장치
【발명의 영문명칭】 Memory device in Semiconductor for enhancing ability of test

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 1-1998-004569-8

【대리인】

【명칭】 특허법인 신성

【대리인코드】 9-2000-100004-8

【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천

【포괄위임등록번호】 2000-049307-2

【발명자】

【성명의 국문표기】 이병재

【성명의 영문표기】 LEE, Byung Jae

【주민등록번호】 721120-1466417

【우편번호】 140-211

【주소】 서울특별시 용산구 한남1동 94-4호 401호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 19 면 19,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】 285,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 테스트 시간을 줄일 수 있는 동기식 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 다수의 셀어레이를 구비하는 제1 및 제2 단위블록을 포함하는 बैं크와, 입력되는 컬럼어드레스를 디코딩하여 상기 제1 및 제2 단위블록의 컬럼선택신호를 각각 출력하기 위한 제1 및 제2 디코딩수단을 구비한 메모리 장치에 있어서, 테스트 모드에서 상기 컬럼어드레스중에서 상기 제1 및 제2 단위블록을 선택하기 위한 단위블록 선택신호에 상관없이 상기 제1 및 제2 디코딩수단을 동시에 인에이블하기 위한 컬럼어드레스 전달수단; 상기 테스트 모드에서 상기 제1 단위블록의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제1 테스트용 조합회로; 상기 테스트 모드에서 상기 제2 단위블록의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제2 테스트용 조합회로; 및 상기 제1 테스트용 조합회로의 출력 및 상기 제2 테스트용 조합회로의 출력을 각각 독립적으로 출력하기 위한 제1 및 제2 출력패드를 구비하는 반도체 메모리 장치를 제공한다.

【대표도】

도 9

【색인어】

반도체, 메모리, 디램, 테스트, 출력패드.

【명세서】**【발명의 명칭】**

테스트 성능이 개선된 반도체 메모리 장치{Memory device in Semiconductor for enhancing ability of test}

【도면의 간단한 설명】

도1은 통상적인 반도체 메모리 장치의 블록구성도.

도2은 도1에 도시된 비트라인 감지증폭부의 일실시예를 나타내는 회로도.

도3은 종래기술에 의해 동기식 메모리 장치를 테스트 하기 위한 블록구성도.

도4은 도3에 도시된 메모리 장치를 테스트 할 경우의 동작파형도.

도5는 도3에 도시된 Y 카운트의 일부분을 나타내는 회로도.

도6는 종래기술에 의해 동기식 콤보형 메모리 장치를 테스트 하기 위한 블록구성도.

도7은 도6에 도시된 메모리 장치의 테스트시 동작파형도.

도8은 도6에 도시된 메모리 장치를 DDR 메모리장치로 동작시키면서 테스트 할 경우의 동작파형도.

도9는 본 발명의 바람직한 실시예에 따른 메모리 장치를 나타내는 블록구성도.

도10은 도9에 도시된 메모리 장치를 테스트 할 경우의 동작파형도.

도11은 본 발명의 바람직한 제2 실시예에 따른 메모리 장치를 나타내는 블록구성도.

도12는 도11에 도시된 Y 카운터의 일실시예를 나타내는 회로도.

도13은 도11에 도시된 Y 카운터의 제2 실시예를 나타내는 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 테스트 성능을 향상시킨 메모리 장치에 관한 것이다.
- <15> 반도체 메모리 장치는 많은 수의 메모리 셀들로 구성되는데, 메모리 셀들 중에서 어느 하나의 메모리 셀이라도 제대로 동작하지 못하면 반도체 메모리 장치는 더 이상 적절한 역할을 수행하지 못한다. 따라서 제조가 끝난 메모리 장치에 일정한 패턴의 테스트용 데이터를 저장하고 읽는 과정을 통해 결함셀의 유무를 판단하는 테스트를 진행하게 된다.
- <16> 통상 메모리 장치는 보다 고속으로 모든 셀을 테스트하기 위한 테스트용 회로를 여분의 공간에 구비하고 있다. 그러나, 반도체 메모리 장치의 집적도가 증가함에 따라 테스트하는 시간도 크게 증가하고 있고, 이로 인해 메모리 장치의 연구 개발에 어려움을 겪고 있다.
- <17> 도1은 통상적인 반도체 메모리 장치의 블록구성도이다.
- <18> 도1을 참조하여 살펴보면, 메모리 장치는 4개의 뱅크(100,200,300,400)로 구

성되고, 4개의 뱅크에서 출력되는 데이터는 데이터 출력을 위한 버퍼(500)으로 입력되고, 데이터 출력을 위한 버퍼(500)은 각 뱅크로 부터 입력되는 데이터가 적절한 타이밍에 맞게 출력패드(500')를 통해 외부로 출력될 수 있도록 조정한다.

<19> 하나의 뱅크(예컨대 100)는 다수의 셀어레이를 구비하는 제1 블록(110) 및 제2 블록(150)과, 제1 및 제2 블록(110,150)에서 출력되는 데이터를 증폭하여 출력버퍼(500)로 출력하기 위한 I/O 감지증폭기(130,140)를 구비한다.

<20> 제1 블록(110)은 다수의 단위셀로 구성된 셀어레이(111 ~ 116)와, 단위셀에서 출력되는 데이터신호를 증폭하여 출력하기 위한 비트라인 감지증폭부(117~120)을 구비한다. 또한 도시하지는 않았지만 제2 내지 제4 뱅크(200,300,400)의 내부로 제1 뱅크와 같이 구성된다.

<21> 도2은 도1에 도시된 비트라인 감지증폭부(117)의 일실시예를 나타내는 회로도이다.

<22> 도2를 참조하여 살펴보면, 비트라인 감지증폭부(117)는 비트라인(BL,/BL)에 인가된 전위차를 감지, 증폭하기 위한 감지증폭기(117d)와, 비트라인(BL,/BL)의 전위를 프리차지 및 이퀄라이즈시키기 위한 이퀄라이즈부(117c)와, 일측의 셀어레이(111)와 연결을 위한 제1 연결부(117a)와, 타측의 셀어레이(113)과 연결을 위한 제2 연결부(117b)와, 감지증폭기(117d)에 의해 증폭된 비트라인의 전위를 출력하기 위한 출력부(117e)를 구비한다. 여기서 RT0,/S는 감지증폭기(117d) 인에이블 신호이고, BISH,BISL는 제1 및 제2 연결부(117a,117b)의 인에이블 신호이다. 또한 Vblp는 비트라인에 프리차지될 전압을 나타내고, BIEQ는 이퀄라이즈부(117c)의 인에이블신호이며, 컬럼선택신호(YI)는 출력부(117e)의 인에이블신호이다.

- <23> 이하에서는 도1 내지 도2를 참조하여 메모리 장치에서 데이터가 출력되는 경로에 대해 살펴본다.
- <24> 먼저 메모리 장치에 어드레스가 입력되면 뱅크 및 뱅크 내부 하나의 셀어레이가 선택되고, 선택된 셀어레이내에서 상기 어드레스에 해당되는 워드라인(WL)이 인에이블된다. 인에이블된 워드라인(WL)에 연결된 모스트랜지스터(M1)가 턴온되고, 이로 인해 캐패시터(C1)에 저장된 데이터가 비트라인에 인가된다. 이 때 캐패시터(C1)에 저장된 데이터신호가 너무 미약하기 때문에, 비트라인 감지증폭기(117d)가 이를 감지하여 증폭한다.
- <25> 이어서 컬럼선택신호(YI)가 인가되면 감지증폭기에 의해 감지 증폭된 비트라인의 데이터신호가 DB,/DB라인으로 출력된다. DB,/DB라인으로 출력되는 데이터는 DB 감지증폭부(도1의 130)에서 한번 더 증폭된 다음, 출력버퍼(500)를 통해 외부로 출력된다.
- <26> 여기서 DB 감지증폭기는 비교적 길이가 긴 DB 라인으로 인해 줄어드는 데이터신호를 다시한번 증폭하는 역할을 한다. 또한 DB감지증폭기는 컬럼선택신호(YI)에 의해 동시에 출력되는 데이터의 비트수에 따라 그 수가 정해지며, 하나의 뱅크앞에는 DB감지증폭부가 하나 있는 것이 일반적인 메모리 장치의 구조이다.
- <27> 한편, 도2에는 컬럼선택신호(YI)에 의해 한비트의 데이터가 DB라인으로 출력되는 것으로 도시되어 있으나, 고속동작을 위한 메모리 장치에서는 하나의 컬럼선택신호(YI)에 4비트의 데이터가 동시에 DB감지증폭기로 출력되도록 구성되어 있는 것이 일반적인 구성이다.

- <28> 또한 입력되는 어드레스를 로우어드레스와 컬럼어드레스로 나누어 로우어드레스를 이용해서 워드라인을 인에이블시키고, 컬럼어드레스는 컬럼선택(YI)를 만드는데 사용된다.
- <29> 도3에는 종래기술에 의한 동기식 메모리 장치를 테스트 하기 위한 블럭구성이 도시되어 있다. 도3에 도시된 블럭도는 하나의 뱅크(예컨대 제1 뱅크)를 나타낸 것이고, 하나의 뱅크는 제1 블럭(110)과 제2 블럭(150)으로 구성되어 있다. 하나의 뱅크를 제1 및 제2 블럭(110,150)으로 나누고, 각 블럭별로 DB감지증폭기 및 디코더부를 구비하는 것은 고속으로 데이터를 출력하기 위한 것이다.
- <30> 도3을 참조하여 살펴보면, 메모리 장치의 테스트를 위한 블럭구성은 다수의 셀어레이를 구비한 제1 뱅크의 제1블럭(110)과, 제1 뱅크의 제2 블럭(150)과, 외부에서 어드레스(AD<0> ~ AD<9>)를 입력받아 순차적으로 카운팅하여 출력하는 Y카운터(720)와, Y카운터(720)에서 출력되는 어드레스(YA<0>~YA<9>)를 디코딩하여 제1 블럭 및 제2블럭(110,150)으로 각각 컬럼선택(YI)를 출력하기 위한 제1 및 제2 YI 디코더(740,750)와, 제1 블럭 및 제2 블럭(110,150)에서 출력되는 데이터신호를 증폭하기 위해 각각 구비된 DB 감지증폭부(130,140)와, DB 감지증폭부에서 출력되는 데이터신호를 조합하고, 그 조합된 결과 테스트 과정을 수행하는 테스트회로(600)과, 테스트회로(600)의 출력신호를 버퍼링하여 패드를 통해 외부로 출력하는 출력버퍼(530)를 구비한다. 또한 도3에는 /CS, /CAS, 등의 다수의 명령어 신호를 입력받아 Y 카운터(720)를 제어하는 명령어 제어부도 도시되어 있다.
- <31> 도4은 도3에 도시된 메모리 장치를 테스트 할 경우의 동작파형도이다.
- <32> 이하에서는 도3 및 도4를 참조하여 메모리 장치의 테스트동작에 대해서 살펴본다.

- <33> 먼저 명령어제어부(710)에 입력되는 명령어신호가 테스트모드 진입상태이면, 메모리 장치는 테스트모드로 진입한다. 이어서 Y카운터(720)는 컬럼어드레스($AD<0>\sim AD<9>$)를 입력받아 버스트랭스(BL)만큼 카운팅하여 카운팅된 컬럼어드레스($YA<0>\sim YA<9>$)를 출력한다. 여기서 버스트랭스(BL)란 동기식 메모리장치의 동작방법 중의 하나로서, 하나의 어드레스가 입력되면 연속해서 출력되는 데이터의 수를 말한다. 예컨대 버스트랭스가 4이면 카운트(720)에서는 입력받은 컬럼어드레스를 연속해서 4번 카운팅하면서 출력한다.
- <34> 이어서 제1 YI디코더(740)에서는 Y카운터(720)에서 출력하는 카운팅된 어드레스($YA<0>\sim YA<9>$)를 입력받아 $YI<0>$, $YI<1>$, ~ $YI<1023>$ 중 2개의 YI라인($YI<a>$, YI)을 선택하여 8비트의 테스트용 데이터를 출력한다. YI라인은 도2에 도시된 바와 같이 비트라인 감지증폭기에 의해 센싱된 데이터 신호를 출력하기 위한 신호이다. 여기서 하나의 YI라인이 선택되면, 4비트의 데이터가 출력되는 것으로 가정한다.
- <35> 참고적으로 메모리가 X6모드로 동작하게 되면, 하나의 YI 라인에 4비트의 데이터 신호가 동시에 출력되고, 제1 및 제2 블록(110,150)에서 각각 2개씩 총 네개의 YI라인이 선택되어, 결과적으로 한 बैं크에서 16비트의 데이터가 외부로 출력되는 것이다. 이 때 테스트용 데이터는 모든 셀에 저장되어 있고, 해당되는 타이밍에 워드라인도 인에이블되어 YI이 선택이 되면 테스트용 데이터는 비트라인을 통해 바로 출력되는 것으로 생각한다.
- <36> 한편 제2 YI디코더(750)에서도 Y카운터(720)에서 출력하는 카운팅된 어드레스를 입력받아 $YI<0>$, $YI<1>$, ~ $YI<1023>$ 중 2개의 YI라인($YI<c>$, $YI<d>$)을 선택하여 8비트의 테

스트용 데이터를 출력한다. 여기서 제1 및 제2 YI 디코더(740)에서 출력되는 신호는 동시에 출력되어 각각의 셀블럭(110,150)에 구비된 YI라인이 동시에 선택된다.

<37> 이어서, 제1 단위블럭(110)에서 출력되는 8비트의 테스트용 데이터는 제1 DB 감지 증폭기(130)에 의해 감지, 증폭되어 테스트용 회로(600)의 제1 내지 제4 노어 게이트에 각각 입력되고, 제2 블럭(150)에서 출력되는 8비트의 테스트용 데이터는 제2 DB 감지 증폭기(140)에 의해 감지, 증폭되어 테스트용 회로(600)의 제1 내지 제4 노어 게이트에 입력된다.

<38> 여기서, 테스트용 데이터 패턴은 제1,5,9,13 DB 감지증폭기와, 제2,6,10,14 DB 감지 증폭기와, 제3,7,11,15 DB 감지증폭기와, 제4,8,12,16 DB 감지증폭기에서는 같은 데이터가 출력되도록 되어 있다.

<39> 처음 저장되었던 테스트용 데이터와 같은 데이터가 제1 내지 제16 DB 감지증폭기에 출력이 된다면, 제1 내지 제4 노어 게이트(601~604)의 출력은 모두 하이가 출력되고, 이로 인해 제1 및 제2 낸드게이트(605,606)의 출력은 모두 로우가 된다. 따라서 최종 노어게이트(607)의 출력은 하이로 출력되어 출력버퍼를 지난 테스트용 데이터의 신호는 출력패드(530')에는 하이의 신호가 출력된다.

<40> 여기서 출력패드(530')에 출력되는 신호는 단지 한비트의 신호이지만 테스트용 회로(600)에 의해 조합되어서 생성되는 신호이기 때문에 16비트의 테스트용 데이터신호가 조합된 신호이다. 만약 출력패드(530')에 로우 신호가 출력되면 해당되는 16개의 단위셀을 점검해 보면 되는 것이다.

- <41> 도4에 도시된 바와 같이 테스트 리드상태에서 제1 YI 및 제2 YI 디코더출력에 의해 각각 8비트의 신호가 테스트용 회로(600)에 출력되고, 출력패드(530')를 통해 16비트에 해당되는 단위셀을 테스트할 수 있는 것이다. 각 बैं크에서 하나의 출력패드를 사용하게 되므로, 다른 बैं크에서도 상기와 같은 방법으로 서로 독립적으로 테스트를 하게 된다.
- <42> 상기와 같은 테스트 방법으로 전체 메모리 셀을 테스트하는 시간을 계산해보면, 한 번의 클럭에 16비트를 테스트할 수 있으므로, 한클럭에서는 8비트를 테스트 할 수 있다. 도3에 도시된 바와 같이 한 बैं크에 4k인 메모리에서는 256번의 클럭이 필요하다.
- <43> 현재의 같은 고집적 메모리, 예컨대 512M 바이트의 메모리에서는 한뱅크에 128M 바이트를 가지고, 이를 16비트로 나누면 8M 바이트의 클럭이 전체 셀을 테스트하는 필요한 클럭수이다. 한번 테스트하는 8M 바이트의 클럭수는 상당한 시간이며, 보다 적은 수의 클럭으로 테스트를 할 수 있는 테스트블럭을 구비한 메모리 장치가 필요하다.
- <44> 한편 도5는 도3에 도시된 Y 카운트의 일부분을 나타내는 회로도이다.
- <45> 도5에 도시된 부분을 하나의 기본단위로 해서 입력되는 어드레스의 수만큼 구비하고, 캐리등을 고려하면 Y 카운트를 구성할 수 있다. 처음에 어드레스(AD<0>)가 입력되면 A 경로를 이용해서 YA<0>로 출력되고 이후에는 B 경로를 이용해서 래치되었다가 YA<0>로 출력된다. 이를 제어하는 것은 명령어 제어부에 출력되는 제어신호(casp, Icasp)에 의해 제어된다.
- <46> 한편, 보다 고속으로 메모리 장치를 동작시키기 위해 동작클럭의 라이징 에지와 폴링에지에서 데이터를 출력시킬 수 있는 DDR(Double Data rate) 메모리 장치가 개발되어

왔다. 또한, 시스템 상황에 따라 종래의 싱글 동기식 메모리으로도 사용가능하고 DDR 모드로도 사용이 가능한 콤보형 메모리 장치도 개발되고 있다.

<47> 도6는 종래기술에 의해 동기식 콤보형 메모리 장치를 테스트 하기 위한 블록구성도이다.

<48> 도6에는 도3에 도시된 메모리 셀을 테스트하기 위한 블록구성과 같고, 제1 뱅크의 제1 블록(110)과 제2 블록(150')에 각각 16개의 DB 감지증폭기가 구비되어 있으며, 테스트회로(600,600') 또한 각각 구비되어 있다. 테스트회로(600,600')에서 출력되는 데이터를 선택적으로 출력하기 위한 경로선택회로(620)가 추가로 구비되어 있다.

<49> 도7은 도3에 도시된 콤보형 메모리 장치가 싱글모드로 동작할 때의 테스트 동작과 형태이다. 싱글모드란 종래의 동기식 메모리 장치에서처럼 동작클럭의 라이징에지에서만 데이터를 출력하는 동작모드이다.

<50> 이하에서는 도6 및 도7을 참조하여 콤보형 메모리 장치가 싱글모드로 동작할 때 테스트 방법에 대해 살펴본다.

<51> 전체적인 동작은 도3에 도시된 메모리 장치에서와 같으며, 제1 YI 디코더(740)에서는 어드레스신호(YA<0>~YA<9>)를 Y 카운터(720)로부터 입력받아 디코딩하여 YI 라인을 선택한다. 이 때 제1 블록(110')에 구비된 DB 감지증폭기가 16개이므로 4개의 YI 라인을 선택한다. 4개의 YI 라인이 선택됨으로 해서 16비트의 테스트용 데이터신호가 DB 감지증폭기를 거쳐서 제1 테스트회로(600)로 출력된다.

- <52> 한편, 제2 YI 디코더(750)에서도 어드레스(YA<0>~YA<9>)를 입력받아 디코딩하여 4개의 YI 라인을 선택한다. 4개의 YI 라인이 선택됨으로 해서 16비트의 테스트용 데이터 신호가 DB 감지증폭기를 거쳐서 제2 테스트회로(600')로 출력된다.
- <53> 전술한 바와 같이, 테스트용 데이터 패턴은 제1,5,9,13 DB 감지증폭기와, 제2,6,10,14 DB감지증폭기와, 제3,7,11,15 DB 감지증폭기와, 제4,8,12,16 DB 감지증폭기에서는 같은 데이터가 출력되도록 되어 있다. 처음 저장되었던 테스트용 데이터와 같은 데이터가 제1 내지 제16 DB 감지증폭기에 출력이 된다면, 제1 테스트회로(600)의 제1 내지 제4 노어 게이트(601~604)의 출력은 모두 하이가 출력되고, 이로 인해 제1 및 제2 낸드게이트(605,606)의 출력은 모두 로우가 된다. 따라서 최종 노어게이트(607)의 출력은 하일로 출력된다. 이 신호는 이 신호는 경로 선택 회로(620) 및 출력버퍼(530)를 거쳐 출력패드(530')를 통해 외부로 출력된다.
- <54> 한편, 제2 테스트 회로(600')에서도 같은 동작으로 처음 저장되었던 16비트의 테스트용 데이터신호와 같은 데이터가 출력되면 최종 노어게이트(614)의 출력은 하일로 출력되고, 이 신호는 경로 선택 회로(620) 및 출력버퍼(530)를 거쳐 출력패드(530')를 통해 외부로 출력된다.
- <55> 이 때 패드(530')를 통해 출력되는 신호는 한 비트이지만 16비트의 테스트용 데이터 신호가 조합된 것이다. 즉 출력패드하나로 한번의 테스트로 16비트의 단위셀을 테스트할 수 있는 것이다.
- <56> 도7에는 테스트 리드상태에서 제1 YI 및 제2 YI 디코더의 출력에 의해 각각 16비트의 신호가 테스트 회로(600,600')로 출력되고, 테스트회로에서는 16비트의 신호를 조합하고 그 결과가 출력패드(530')를 통해 출력되는 것이 도시되어 있다.

- <57> 한편, 각 뱅크에서는 하나의 출력패드를 사용하게 되므로, 다른 뱅크에서도 상기와 같은 방법으로 서로 독립적으로 테스트를 하게 된다.
- <58> 상기와 같은 테스트 방법으로 전체 메모리 셀을 테스트하는 시간을 계산해보면, 한 클럭에서는 16비트를 테스트 할 수 있으므로, 도7에 도시된 바와 같이 한 뱅크에 4k인 메모리에서는 256번의 클럭이 필요하다. 현재의 같은 고집적 메모리, 예컨대 512M 바이트의 메모리에서는 한 뱅크에 128M 바이트를 가지고, 이를 16비트로 나누면 8M 바이트의 클럭이 전체 셀을 테스트하는 데 필요한 클럭수이다.
- <59> 도8은 도6에 도시된 메모리 장치를 듀얼모드(Dual)-DDR 메모리-로 동작시키면서 테스트 할 경우의 동작파형도이다.
- <60> 전체적인 동작은 도7과 같으나 이 때에는 제1 및 제2 YI 디코더(740,750)에서 클럭의 라이징에지와 폴리에지 마다 4개의 YI라인을 선택하게 된다.
- <61> 따라서 한 클럭마다 32비트의 테스트용 데이터가 제1 및 제2 테스트회로 입력되고, 각각 조합되어 라이징에지 타이밍과 폴링에지 타이밍에 출력된다.
- <62> 따라서 듀얼모드, 즉 DDR 모드로 동작시켜 테스트를 하게 되면, 한 클럭에서는 32비트를 테스트 할 수 있으므로, 도7에 도시된 바와 같이 한 뱅크에 4k인 메모리에서는 128번의 클럭이 필요하다. 현재의 같은 고집적 메모리, 예컨대 512M 바이트의 메모리에서는 한 뱅크에 128M 바이트를 가지고, 이를 32비트로 나누면 4M 바이트의 클럭이 전체 셀을 테스트하는 데 필요한 클럭수이다.
- <63> 그러나, 이 때에는 동작클럭의 라이징 타임과 폴링타임에 연속적으로 출력패드를 통해 데이터가 출력되기 때문에 클럭의 한 주기동안 2회의 정보를 확인 할 수 있는 테스트

트 장비가 필요하다. 만약 상기의 장비가 없는 경우에는 전술한 싱글모드로 테스트를 진행할 수 밖에 없다.

<64> 결론적으로 메모리 장치가 점점 고집적화 되면서 테스트하는 시간도 기술개발에 상당한 부담으로 작용하고 있는 현실에 비추어, 저비용을 위해 지금의 테스트블럭을 유지시키면서도 보다 감소된 테스트타임을 가질수 있는 메모리장치의 개발이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<65> 본 발명은 상기의 목적을 달성하기 위해 제안된 것으로, 테스트 시간을 줄일 수 있는 동기식 메모리 장치를 제공함을 목적으로 한다.

【발명의 구성 및 작용】

<66> 상기의 목적을 달성하기 위한 본 발명은 다수의 셀어레이를 구비하는 제1 및 제2 단위블럭을 포함하는 बैं크와, 입력되는 컬럼어드레스를 디코딩하여 상기 제1 및 제2 단위블럭의 컬럼선택신호를 각각 출력하기 위한 제1 및 제2 디코딩수단을 구비한 메모리 장치에 있어서, 테스트모드에서 상기 컬럼어드레스중에서 상기 제1 및 제2 단위블럭을 선택하기 위한 단위블럭 선택신호에 상관없이 상기 제1 및 제2 디코딩수단을 동시에 인에이블하기 위한 컬럼어드레스 전달수단; 상기 테스트 모드에서 상기 제1 단위블럭의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제1 테스트용 조합회로; 상기 테스트 모드에서 상기 제2 단위블럭의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트

용 데이터의 오류 여부를 검출하기 위한 제2 테스트용 조합회로; 및 상기 제1 테스트용 조합회로의 출력 및 상기 제2 테스트용 조합회로의 출력을 각각 독립적으로 출력하기 위한 제1 및 제2 출력패드를 구비하는 반도체 메모리 장치를 제공한다.

- <67> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <68> 본 실시예에 따른 메모리 장치는 다수의 뱅크를 구비하고 각 뱅크는 다수의 셀어레이를 구비하는 제1 및 제2 단위블럭(110,150)으로 구성된다.
- <69> 도9는 본 발명의 바람직한 실시예에 따른 메모리 장치에서 하나의 뱅크에 관한 블록구성도이다.
- <70> 도9를 참조하여 살펴보면, 본 발명의 실시예 따른 메모리 장치의 뱅크는 다수의 셀어레이를 구비하는 제1 및 제2 단위블럭(110,150)과, 컬럼어드레스(YA<0> ~ YA<9>)를 디코딩하여 상기 제1 및 제2 단위블럭의 컬럼선택신호(YI<0> ~ YI<1022>, YI<1> ~ YI<1023>)를 각각 출력하기 위한 제1 및 제2 디코더(740,750)을 구비하며, 테스트모드에서 컬럼어드레스(YA<0>~YA<9>)중에서 상기 제1 및 제2 단위블럭(110,150)을 선택하기 위한 단위블럭 선택신호(YA<0>)에 상관없이 제1 및 제2 디코더(740,750)를 동시에 인에이블하기 위한 컬럼어드레스 전달부(810)와, 상기 테스트 모드에서 제1 단위블럭(110)의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제1 테스트용 조합회로(600)와, 상기 테스트 모드에서 상기

제2 단위블럭(150)의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제2 테스트용 조합회로(600')와, 제1 테스트용 조합회로(600)의 출력 및 제2 테스트용 조합회로(600')의 출력을 각각 독립적으로 출력하기 위한 제1 및 제2 출력패드(520', 510')를 구비한다.

<71> 또한 도9에는 제1 및 제2 단위블럭(110, 150)에서 출력되는 데이터를 감지, 증폭하기 위한 제1 및 제2 DB 감지증폭부(130, 140)와, 제1 및 제2 테스트용 조합회로(600, 600')의 출력을 버퍼링하여 제1 및 제2 출력패드(pad1, pad2)를 통해 외부로 출력하기 위한 제1 및 제2 출력버퍼가 도시되어 있다.

<72> 또한, 각종 명령어신호(/CS, CAS, /RAS...)를 입력받아 디램의 동작상태를 제어하는 명령어제어부(710)와, 명령어제어부(710)의 제어를 받아 컬럼어드레스 전달부(810)를 제어하기 위한 테스트모드 제어부(800)와, 외부 패드로부터 컬럼어드레스(AD<0>~AD<9>)를 입력받아 버스트랭스(Burst length; BL)만큼 카운팅되는 어드레스(YA<0>~YA<9>)를 출력하기 위한 Y카운터를 구비한다.

<73> 여기서 컬럼어드레스 전달부(810)는 노멀모드에서는 제1 및 제2 YI어드레스(740, 750)를 선택하기 위한 컬럼어드레스신호(YA<0>), 즉, 단위블럭 선택신호에 따라 제1 디코더 또는 제2 디코더(740, 750)를 선택적으로 인에이블한다.

<74> 제1 테스트용 조합회로(600)는 테스트용 데이터중에서 같은 값으로 저장된 테스트용 데이터를 입력받기 위한 제1 내지 제4 익스클루시브 노어게이트(601~604)와, 4개의 익스클루시브 노어게이트(601~604)의 출력중 2개를 각각 입력받는 제1 및 제2 낸드게이트(605, 606)와, 제1 및 제2 낸드게이트(605, 606)의 출력을 입력받기 위한 노어게이트(607)를 구비한다. 또한, 제2 테스트용 조합회로(600') 역시 같은 구성이다.

- <75> 도10은 도9에 도시된 메모리 장치를 테스트 할 경우의 동작파형도이다.
- <76> 이하 도9 및 도10을 참조하여 본 실시예에 따른 메모리 장치의 동작을 설명한다.
- <77> 먼저 명령어제어부(710)에 입력되는 명령어신호가 테스트모드 진입상태이면, 메모리 장치는 테스트모드로 진입한다. 이어서 Y카운터(720)는 컬럼어드레스($AD<0>\sim AD<9>$)를 입력받아 버스트랭스(BL)만큼 카운팅하여 출력한다.
- <78> 여기서 버스트랭스란 전술한 바와 같이 동기식 메모리장치의 동작중의 하나로서, 하나의 어드레스가 입력되면 연속해서 출력되는 데이터의 수를 말한다. 예컨대 버스트랭스가 4이면 카운트(720)에서는 입력받은 컬럼어드레스를 연속해서 4번 카운팅하면서 출력한다.
- <79> 이 때 테스트모드 제어부에서 출력되는 제어신호(ctrl)에 의해 컬럼어드레스 전달부의 전송게이트(T1,T2)는 턴오프되고, 모스트랜지스터(MP1,MN1)는 턴온된다. 즉, 제1 및 제2 YI어드레스(740,750)를 선택하기 위한 컬럼어드레스신호($YA<0>$)에 상관없이 항상 제1 및 제2 YI 디코더부(740,750)는 인에이블되어 있는 상태가 된다.
- <80> 따라서 제1 및 제2 YI디코더부(740,750)는 동시에 카운팅된 컬럼어드레스($YA<1>\sim YA<9>$)를 입력받아서 YI 라인을 선택할 수 있고, 이로 인해 제1 및 제2 단위블럭(110,150)에서는 동시에 제1 및 제2 DE감지증폭부로 테스트용 데이터를 출력할 수 있는 것이다.
- <81> 계속해서 살펴보면, 제1 YI디코더(740)에서는 Y카운터(720)에서 출력하는 카운팅된 어드레스($YA<1>\sim YA<9>$)를 입력받아 $YI<0>$, $YI<2>$, ~ $YI<1022>$ 중 4개의 YI라인($YI<a>$, YI, $YI<c>$, $YI<d>$)을 선택하고, 이에 따라서 16비트의 테스트용 데이터가 DB감지증폭부

(130)로 출력된다. 이 때 테스트용 데이터는 모든 셀에 저장되어 있고, 해당되는 타이밍에 워드라인도 인에이블되어 YI이 선택이 되면 테스트용 데이터는 비트라인을 통해 바로 출력되는 것으로 가정한다.

<82> 한편 제2 YI디코더(750)에서도 Y카운터(720)에서 출력하는 카운팅된 어드레스(YA<1>~YA<9>)를 입력받아 YI<1>,YI<3>, ~ YI<1023> 중 4개의 YI라인(YI<e>,YI<f>,YI<e>,YI<h>)을 선택하고, 이에 따라서 16비트의 테스트용 데이터가 DB감지증폭부(140)으로 출력된다. 즉, 제1 및 제2 YI 디코더(740,750)에서 동시에 4개의 YI라인을 선택하고, 이로 인해 16비트의 테스트용 데이터가 각각 DB 감지증폭기(130,140)로 출력된다.

<83> 제1 단위블럭(110)에서 출력되는 16비트의 테스트용 데이터는 DB 감지증폭부(130)에 의해 감지, 증폭되어 테스트용 회로(600)의 제1 내지 제4 노어 게이트(601 ~ 604)에 각각 입력된다. 한편, 제2 단위블럭(150)에서 출력되는 16비트의 테스트용 데이터는 제2 DB 감지증폭기(140)에 의해 감지, 증폭되어 테스트용 회로(600')의 제5 내지 제8 노어 게이트(608 ~ 611)에 입력된다.

<84> 테스트용 데이터 패턴은 전술한 바와 같이 제1,5,9,13 DB 감지증폭기와, 제2,6,10,14 DB감지증폭기와, 제3,7,11,15 DB 감지증폭기와, 제4,8,12,16 DB 감지증폭기에서는 같은 데이터가 출력되도록 되어 있다.

<85> 따라서 처음 저장되었던 테스트용 데이터와 같은 데이터가 제1 및 제2 DB 감지증폭기(130,140)에 출력이 된다면, 제1 내지 제8 노어 게이트(601~604,608~611)의 출력은 모두 하이로 출력되고, 이로 인해 제1 및 제4 낸드게이트(605,606,612,613)의 출력은 모두 로우가 된다. 따라서 최종 노어게이트(607,614)의 출력은 하이로 출력된다. 노어게이트

(607,614)의 출력은 각각 출력버퍼(510,520)를 지나 출력패드(pad1,pad2)를 통해 외부로 출력된다.

<86> 여기서 최종노어게이트(607,614)의 출력이 하이로 출력되면, 해당되는 데이터가 저장되어 있던 32개의 단위셀은 정상적인 것이 되는 것이다. 즉, 제1 및 제2 테스트용 조합회로(600,600')는 각각 16비트의 테스트용 데이터신호를 조합해서 16개의 단위셀의 이상유무를 테스트하는 것이다.

<87> 도10에는 테스트모드의 리드상태에서 제1 YI 및 제2 YI 디코더(740,750)가 동시에 동작하여 테스트용 데이터를 출력하는 것에 관한 도시되어 있다.

<88> 도10을 참조하여 살펴보면, 테스트모드의 리드상태에서 제1 YI 및 제2 YI 디코더(740,750)가 각각 4개의 YI라인(예컨대 YI<0>,YI<2>,YI<4>,YI<6>와, YI<1>,YI<3>,YI<5>,YI<7>)을 선택하고, 이로 인해 제1 및 제2 단위블럭(110,150)에서 동시에 각각 16비트씩의 테스트용 데이터가 DB감지증폭부(130,140)를 거쳐서 제1 및 제2 테스트용 조합회로(600,600')로 출력된다.

<89> 제1 및 제2 테스트용 조합회로(600,600')는 각각 16비트의 테스트용 데이터를 하나의 비트정보로 조합하고, 조합된 비트정보는 출력버퍼(510,520)를 통해 출력패드(pad1,pad2)를 통해 각각 외부로 출력하게 된다. 따라서 출력패드를 통해 출력되는 신호는 한비트이지만, 각각 16비트의 테스트용 데이터의 조합된 정보이므로 한비트마다 각각 16개의 단위셀을 테스트할 수 있는 것이다.

<90> 결론적으로 본 발명에서는 하나의 단위블럭당 하나의 출력패드를 대응시켜서 한뱅크안의 단위블럭이 동시에 테스트를 진행할 수 있는 것이다. 만약 4뱅크를 가지는 메모

리 장치라면 테스트시에 한뱅크에 2개의 출력패드를 사용하고, 총 8개의 출력패드를 사용하는 것이다.

<91> 상기와 같은 테스트 방법으로 전체 메모리 셀을 테스트하는 시간을 계산해보면, 한 번의 클럭에 32비트를 테스트할 수 있으므로, 도9에 도시된 바와 같이 한 뱅크에 4k인 메모리에서는 128번의 클럭만이 필요하다. 현재의 같은 고집적 메모리, 예컨대 512M 바이트의 메모리에서는 한뱅크에 128M 바이트를 가지고, 이를 32비트로 나누면 4M 바이트의 클럭이 전체 셀을 테스트하는 필요한 클럭수이다.

<92> 따라서 본 발명에 의해서 듀얼모드로 메모리 반도체를 동작시키지 않아도 종래에 비해 고속으로 전체셀을 테스트하는 것이 가능하여 테스트시간을 감소시킬 수 있다.

<93> 도11은 본 발명의 바람직한 제2 실시예에 따른 메모리 장치를 나타내는 블록구성도이다.

<94> 도11에 도시된 메모리 장치는 도9에 도시된 바와 같으나 테스트모드 제어부에 출력되는 제어신호(ctrl)가 Y카운트(720)로 입력되도록 구성된다. Y 카운트(720)는 테스트모드에서는 제어신호(ctrl)를 입력받아 제1 및 제2 단위블럭을 선택하기 위한 컬럼어드레스신호(AD<0>)에 상관없이 제1 및 제2 YI 디코더(740,750)가 인에이블될 수 있도록 카운팅된 컬럼어드레스 신호(YA<0>)가 제1 YI 디코더(740)에는 로우로, 제2 YI 디코더(750)에는 하이로 출력한다.

<95> 따라서 테스트모드에서는 항상 제1 및 제2 YI 디코더(740,750)가 동시에 인에이블되어 각각 4개의 YI라인을 선택하고, 이로 인해 제1 및 제2 단위블럭(110,150)에서 각각 16비트의 기 저장된 테스트용 데이터신호가 출력되고, 이 때 출력된 테스트용 데이터는

제1 및 제2 테스트용 조합회로(600,600')에서 조합된다. 각각 한 비트로 조합된 테스트용 데이터는 제1 및 제2 출력버퍼(510,520)를 지나 제1 및 제2 출력패드(510'520')를 통해 외부로 출력하게 된다.

<96> 도12는 도11에 도시된 Y 카운터(720)의 일실시예를 나타내는 회로도이다.

<97> 본 실시예에 따른 디램이 노멀 동작시에는 도12에 도시된 회로에 의해 어드레스신호(AD<0>)를 입력받아 YA<0> 및 YA'<0>로 같은 신호를 출력하는데, 어드레스신호(AD<0>)가 로우 레벨이면 제1 YI 디코더부(740)이 인에이블되고, 어드레스신호(AD<0>)가 하이레벨이면 제2 YI 디코더부(750)이 인에이블된다.

<98> 한편, 테스트용 데이터를 출력하여 확인하는 테스트모드에서는, 테스트모드 제어부(800)에서 출력되는 제어신호(ctrl)에 의해 어드레스신호(AD<0>)에 상관없이 항상 YA<0>를 통해 로우레벨을 제1 YI 디코더부(740)로 출력하고, YA<1>를 통해 항상 하이레벨을 제2 YI 디코더부(750)로 출력한다.

<99> 따라서 테스트모드에서는 어드레스신호(AD<0>)에 상관없이 항상 제1 및 제2 YI 디코더(740,750)는 인에이블 상태가 되어 동시에 각각 16비트의 데이터가 출력된다. 도12에는 어드레스신호(AD<0>) 관련된 회로만 도시되어 있는데, 다른 어드레스 신호(AD<1>~AD<9>)를 입력받는 회로는 종래와 같다.

<100> 도13은 도11에 도시된 Y 카운터(720)의 제2 실시예를 나타내는 회로도이다.

<101> 도13에 도시된 회로는 도12에 도시된 회로와 같은 동작을 하며, 이를 구현하기 위해 제어신호(ctrl)를 입력받는 모스트랜지스터(743,743')를 구비하고 있다.

<102> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<103> 본 발명에 의해 최소한의 회로만을 수정함으로서 추가적인 비용이 발생하지 않으면서도, 테스트 시간이 줄어든 메모리 장치를 제공할 수 있다.

【특허청구범위】**【청구항 1】**

다수의 셀어레이를 구비하는 제1 및 제2 단위블럭을 포함하는 बैं크와, 입력되는 컬럼어드레스를 디코딩하여 상기 제1 및 제2 단위블럭의 컬럼선택신호를 각각 출력하기 위한 제1 및 제2 디코딩수단을 구비한 메모리 장치에 있어서,

테스트모드에서 상기 컬럼어드레스중에서 상기 제1 및 제2 단위블럭을 선택하기 위한 단위블럭 선택 비트신호에 상관없이 상기 제1 및 제2 디코딩수단을 동시에 인에이블하기 위한 컬럼어드레스 전달수단;

상기 테스트 모드에서 상기 제1 단위블럭의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제1 테스트용 조합회로;

상기 테스트 모드에서 상기 제2 단위블럭의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제2 테스트용 조합회로; 및

상기 제1 테스트용 조합회로의 출력 및 상기 제2 테스트용 조합회로의 출력을 각각 독립적으로 출력하기 위한 제1 및 제2 출력패드를 구비하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 컬럼어드레스 전달수단은

노멀모드에서는 상기 단위블럭 선택신호에 따라 상기 제1 디코딩수단 또는 제2 디코딩수단을 선택적으로 인에이블하는 것을 특징으로 하는 반도체메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 제1 및 제2 테스트용 조합회로는

상기 테스트용 데이터중에서 같은 값으로 저장된 테스트용 데이터를 입력받기 위한 제1 내지 제4 익스클루시브 노어게이트;

상기 4개의 익스클루시브 노어게이트의 출력중 2개를 각각 입력받는 제1 및제2 낸드게이트; 및

상기 제1 및 제2 낸드게이트의 출력을 입력받기 위한 노어게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

다수의 셀어레이를 구비하는 제1 및 제2 단위블럭을 포함하는 बैं크와, 입력되는 컬럼어드레스를 버스트랭스만큼 카운팅하여 출력하기 위한 카운팅수단과, 상기 카운팅수단에서 출력되는 어드레스를 디코딩하여 상기 제1 및 제2 단위블럭의 컬럼선택신호를 각각 출력하기 위한 제1 및 제2 디코딩수단을 구비한 메모리 장치에 있어서,

테스트모드에서 상기 카운팅수단에서 출력되는 컬럼어드레스에 상관없이 상기 제1 및 제2 디코딩수단을 동시에 인에이블되도록 제어하는 테스트모드 제어부;

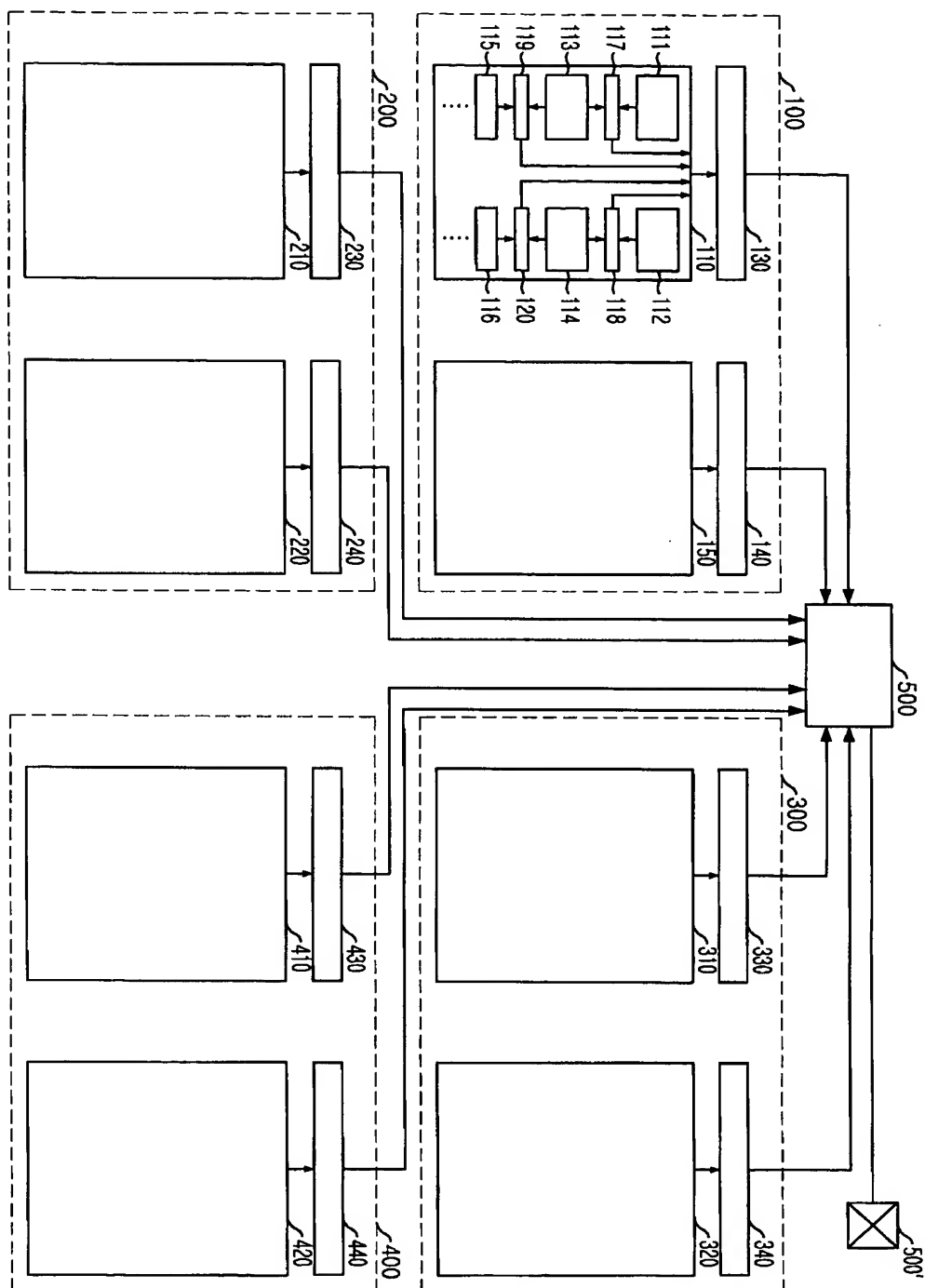
상기 테스트 모드에서 상기 제1 단위블럭의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제1 테스트용 조합회로;

상기 테스트 모드에서 상기 제1 단위블럭의 컬럼선택신호에 의해 출력되는 테스트용 데이터를 조합하여, 기 저장된 테스트용 데이터의 오류 여부를 검출하기 위한 제2 테스트용 조합회로; 및

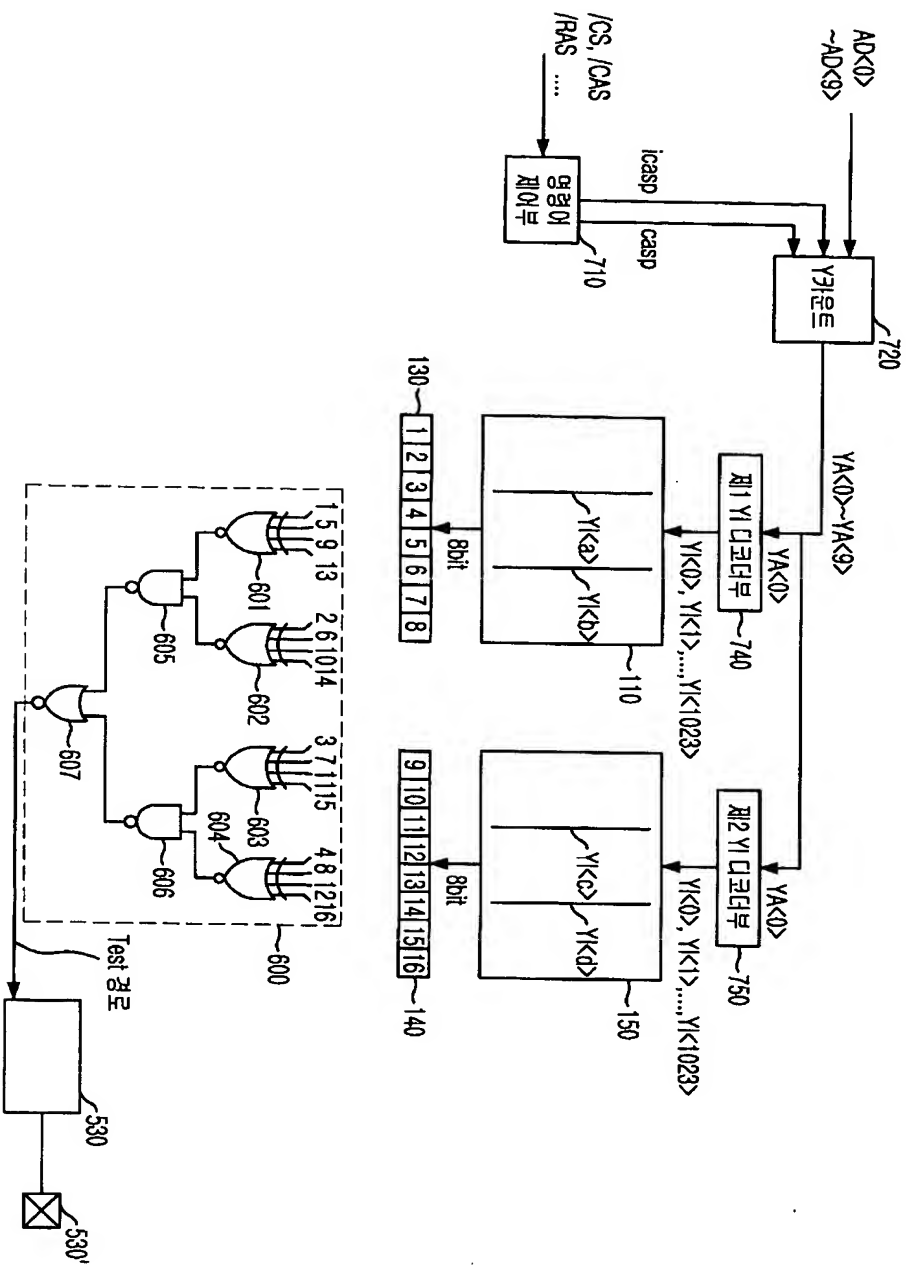
상기 제1 테스트용 조합회로의 출력 및 상기 제2 테스트용 조합회로의 출력을 독립적으로 출력하기 위한 제1 및 제2 출력패드를 구비하는 반도체 메모리 장치.

【도면】

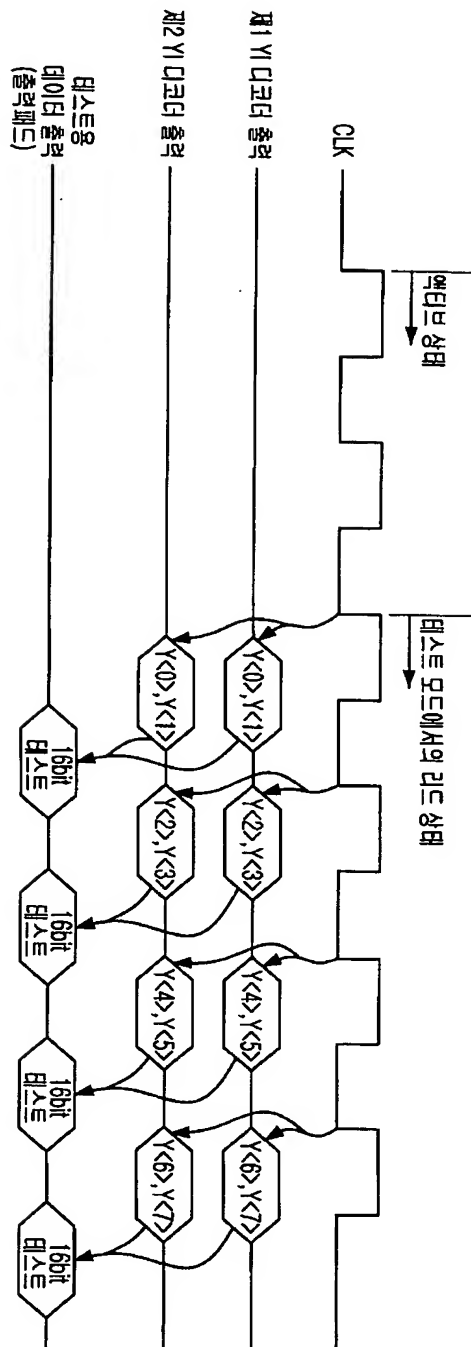
【도 1】



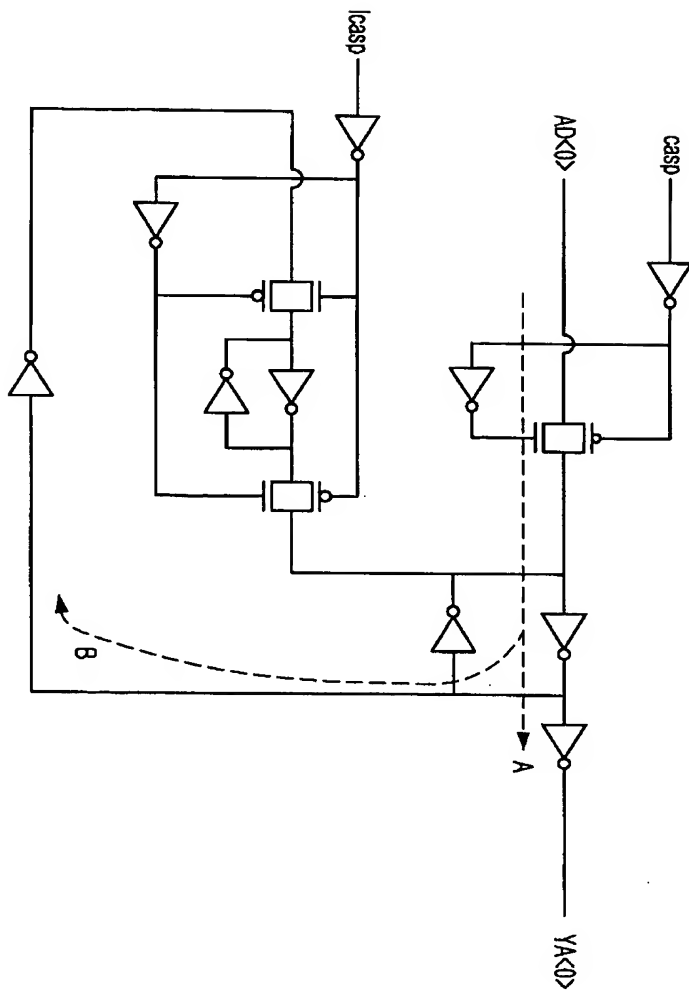
【도 3】



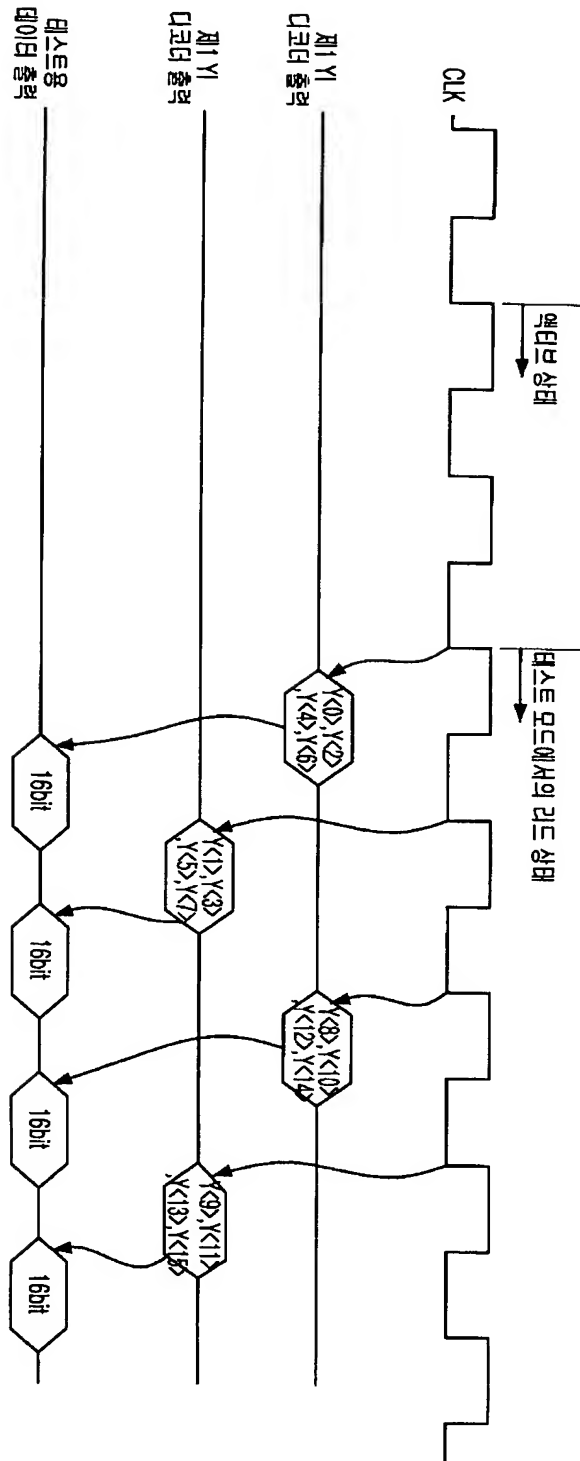
【표 4】



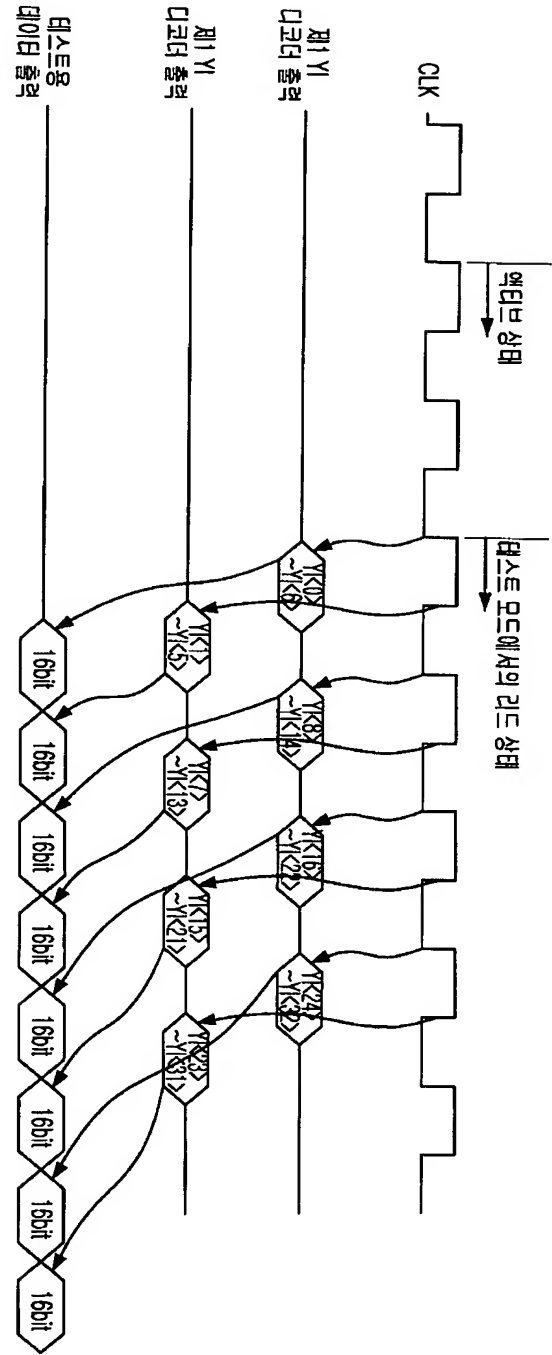
【도 5】



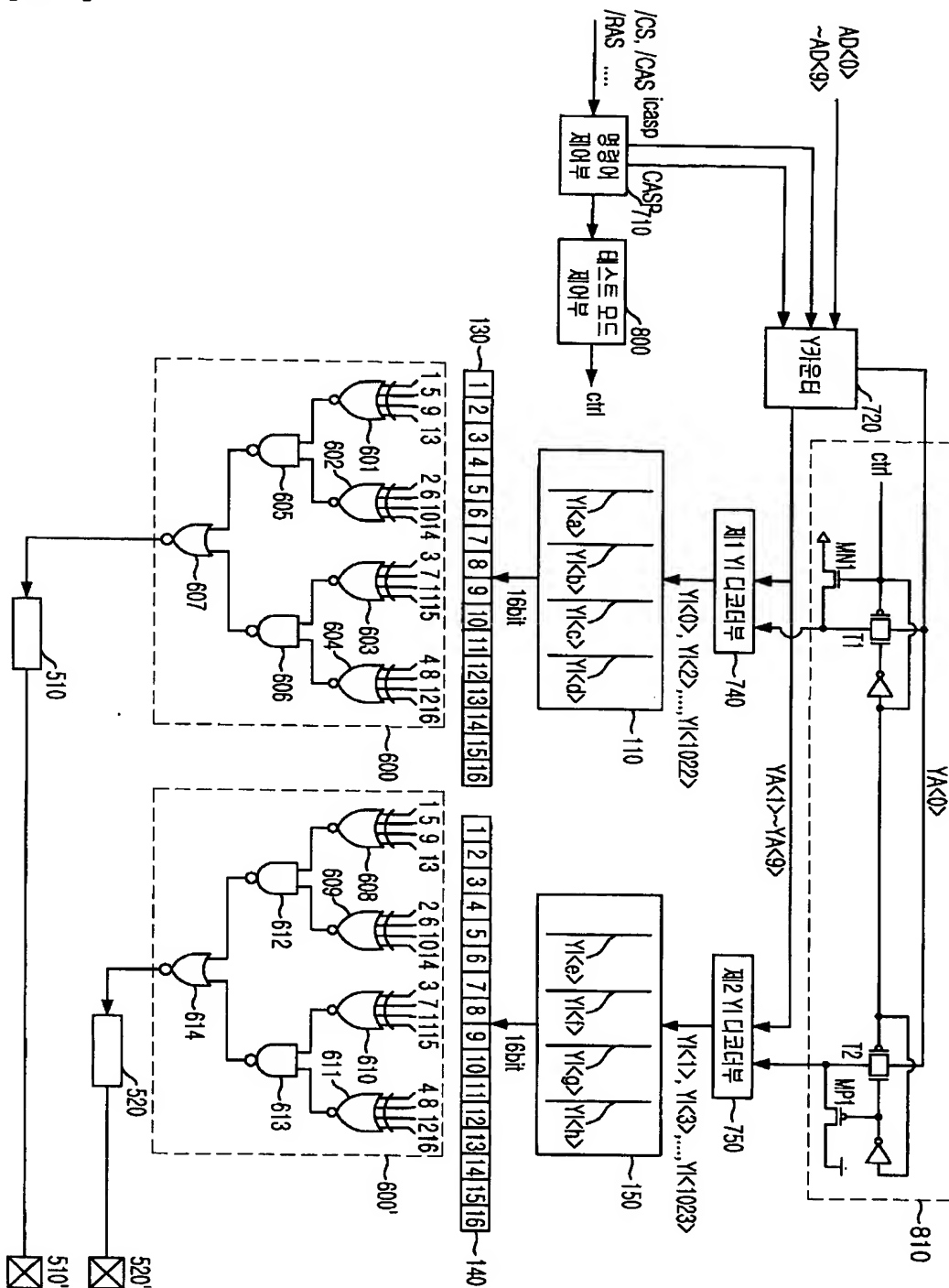
【너 7】



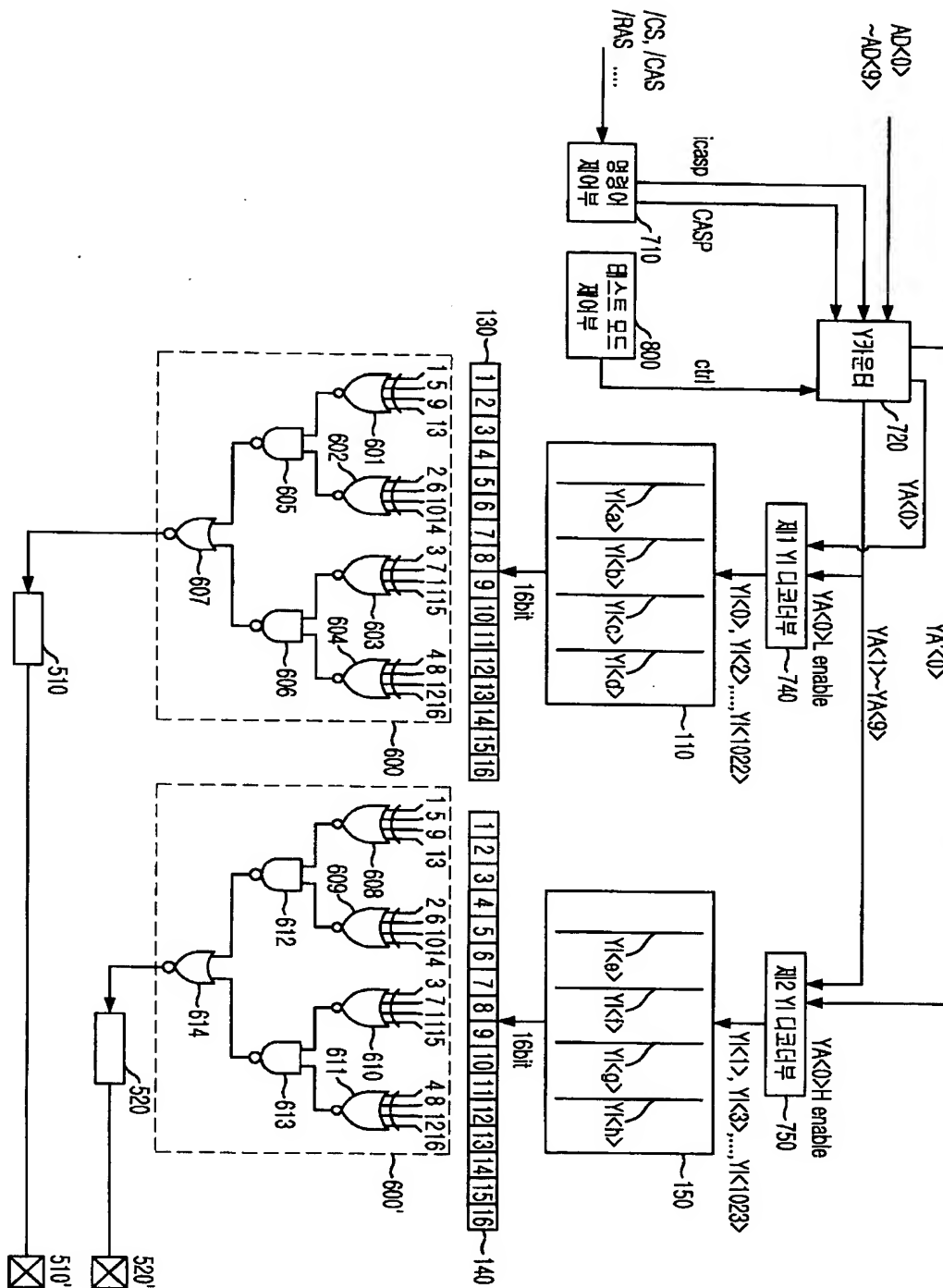
【 8】



39-35

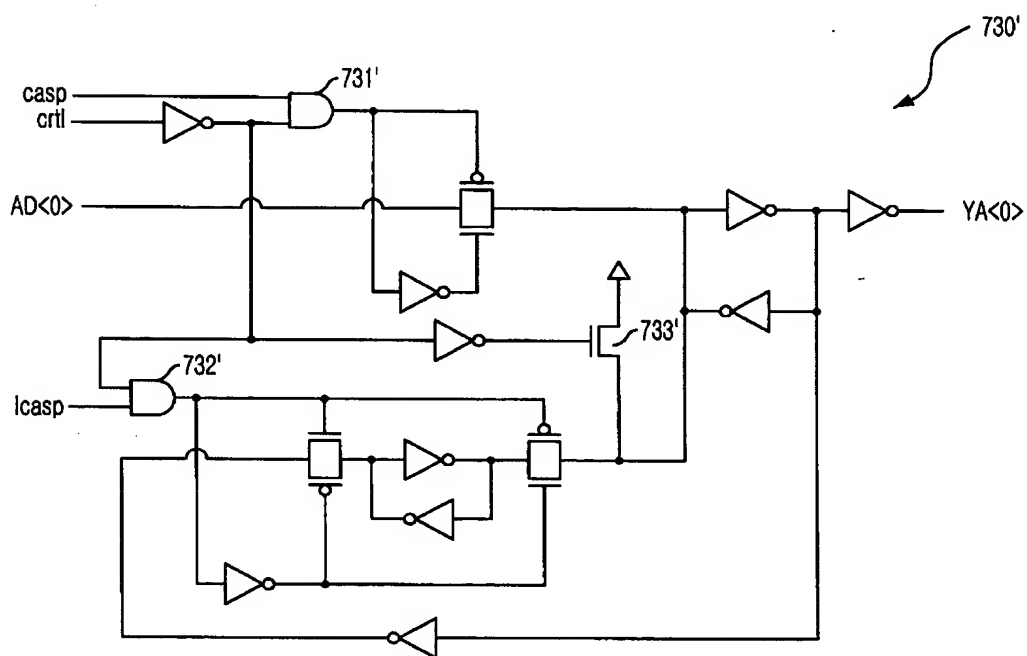
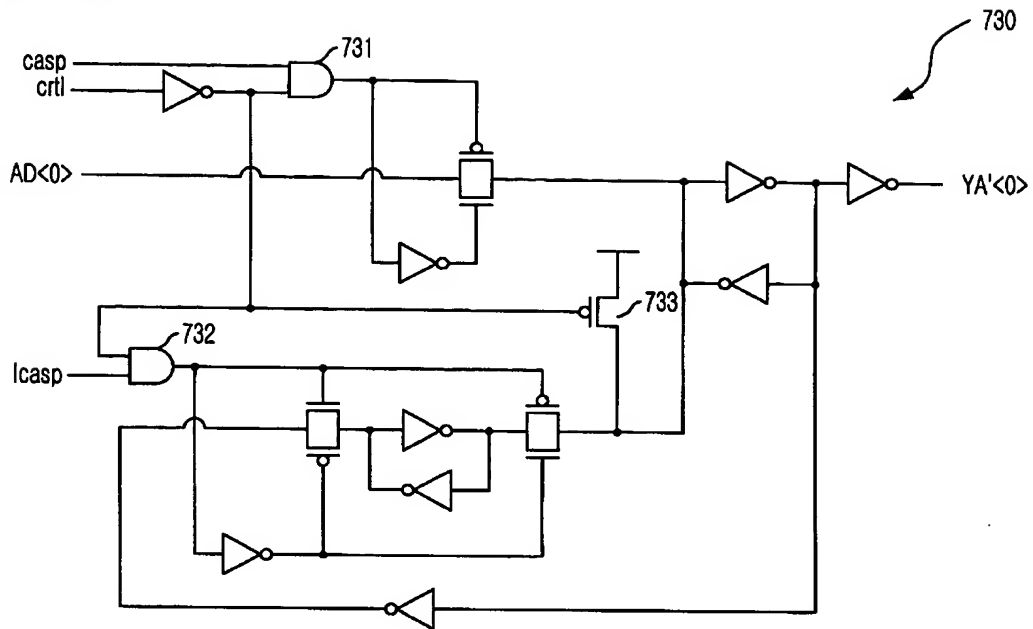


【도 11】





【도 12】





【도 13】

